

LEMBAR KERJA MAHASISWA & PROBLEM SET MINGGU 7: PERANCANGAN RANGKAIAN ARITMATIKA BINER (ADDER, CLA, BCD ADDER)

MATA KULIAH: SISTEM DIGITAL (TIF-1106) — S1 TEKNIK INFORMATIKA

Integrasi Taksonomi Bloom Level C1 (Mengingat) s.d. C6 (Mencipta)

Nama Mahasiswa : NIM :
Kelas / Kelompok: Tanggal :

BAGIAN A: DASAR SIRKUIT ARITMATIKA (LEVEL C1 – C2)

- A.1. [C1 – Mengingat]** Tuliskan persamaan Boolean untuk luaran Sum dan C_{out} dari sebuah ****Full Adder**** 1-bit!
- A.2. [C2 – Memahami]** Jelaskan keterbatasan utama rangkaian ****Ripple Carry Adder 4-bit**** yang mendorong dikembangkanya arsitektur ****Carry Lookahead Adder (CLA)****!

BAGIAN B: PENERAPAN SIRKUIT ADDER-SUBTRACTOR (LEVEL C3)

- B.1. [C3 – Menerapkan]** Rancanglah sebuah sirkuit Adder-Subtractor 4-bit yang dikontrol oleh 1 bit kontrol M ($M = 0$ untuk penjumlahan $A+B$, $M = 1$ untuk pengurangan $A-B$) menggunakan gerbang ****XOR**** dan IC 4-bit Adder!

BAGIAN C: ANALISIS CARRY LOOKAHEAD GENERATION (LEVEL C4)

- C.1. [C4 – Menganalisis]** Diberikan fungsi ***Generate*** $G_i = A_i B_i$ dan ***Propagate*** $P_i = A_i \oplus B_i$. Diturunkan persamaan ekspresi langsung untuk C_1, C_2, C_3, C_4 tanpa menunggu perambatan seri! Hitung tunda propagasi total sirkuit CLA 4-bit jika tunda gerbang AND/OR adalah 2 ns!

BAGIAN D: EVALUASI PERANCANGAN BCD ADDER (LEVEL C5)

D.1. [C5 – Mengevaluasi] Jelaskan logika sirkuit koreksi BCD Adder yang mendeteksi kapan nilai penjumlahan > 9 (menggunakan persamaan $K = C_{out} + S_3S_2 + S_3S_1$). Evaluasi efisiensi sirkuit koreksi tersebut!

BAGIAN E: PERANCANGAN BCD ADDER PADA LOGISIM (LEVEL C6)

E.1. [C6 – Mencipta] Rancanglah modul ****BCD Adder 1-Digit**** menggunakan dua IC 4-bit Adder dan gerbang logika koreksi +6 pada Logisim Evolution. Uji untuk masukan $8 + 7 = 15$ ($0001\ 0101_{\text{BCD}}$)!