

UJIAN AKHIR SEMESTER (UAS) ACADEMIC YEAR 2026/2027

MATA KULIAH: SISTEM DIGITAL (TIF-1106)

PROGRAM STUDI S1 TEKNIK INFORMATIKA — FAKULTAS TEKNIK

Waktu: 100 Menit — Sifat: Ujian Tertutup (*Closed Book*) — Bobot Evaluasi: 20%

Nama Mahasiswa : NIM :
Dosen Pengampu : Tim Dosen Sistem Komputer Tanda Tangan :

SOAL 1: ANALISIS RANGKAIAN SEKENSIAL & FLIP-FLOP (BOBOT 25% — CPMK-3)

Diberikan sebuah sirkuit sekensial yang tersusun atas dua ****JK Flip-Flop**** (FF_A dan FF_B) dengan masukan kontrol X . Persamaan masukan J_A, K_A, J_B, K_B didefinisikan sebagai berikut:

$$J_A = X \cdot Q_B, \quad K_A = \overline{X}, \quad J_B = X, \quad K_B = Q_A$$

- 1.a. Turunkan persamaan keadaan selanjutnya (**Next State Equations**) $Q_A(t+1)$ dan $Q_B(t+1)$! **(Bobot 12%)**
- 1.b. Susunlah **State Transition Table** lengkap untuk seluruh kombinasi keadaan saat ini ($Q_A Q_B$) dan masukan X ! **(Bobot 13%)**

SOAL 2: PERANCANGAN MODULO-N SYNCHRONOUS COUNTER (BOBOT 25% — CPMK-4)

Rancanglah sebuah ****Synchronous Modulo-6 Up-Counter**** yang mencacah secara siklis urutan biner: $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 0$ menggunakan ****D Flip-Flop****.

- 3.a. Susunlah tabel transisi keadaan dan excitation table untuk D_2, D_1, D_0 dengan memanfaatkan kondisi **Don't Care** untuk keadaan yang tidak digunakan (6 dan 7)! **(Bobot 12%)**
- 3.b. Turunkan persamaan K-Map ter-simplikasi untuk masukan D_2, D_1, D_0 ! **(Bobot 13%)**

SOAL 3: PERANCANGAN FINITE STATE MACHINE / FSM (BOBOT 30% — CPMK-4)

Rancanglah sebuah sirkuit ****Sequence Detector**** berbasis FSM model ****Mealy**** yang menerima aliran bit serial X dan menghasilkan luaran $Z = 1$ setiap kali terdeteksi pola urutan bit '101' (dengan pencakupan tumpang-tindih / **overlapping detection**).

- 3.a. Gambarkan **State Diagram** FSM model Mealy lengkap dengan kondisi transisi X/Z ! **(Bobot 15%)**
- 3.b. Lakukan **State Assignment** dan turunkan persamaan masukan Flip-Flop serta persamaan luaran Z ! **(Bobot 15%)**

SOAL 4: ARSITEKTUR MEMORI & PROGRAMMABLE LOGIC (BOBOT 20% — CPMK-5)

- 4.a. Sebuah chip memori SRAM memiliki 16 jalur alamat ($A_{15}..A_0$) dan 8 jalur data ($D_7..D_0$). Hitunglah kapasitas total memori tersebut dalam KiloByte (KB)! **(Bobot 10%)**
- 4.b. Bandingkan perbedaan arsitektur internal matriks AND dan matriks OR pada ****PLA (Programmable Logic Array)**** dan ****PAL (Programmable Array Logic)****! **(Bobot 10%)**