

MODUL PRAKTIKUM SISTEM DIGITAL

MODUL 9: KARAKTERISTIK & ANALISIS PEWAKTUAN FLIP-FLOP (SR, JK, D, T)

MATA KULIAH: SISTEM DIGITAL (TIF-1106) — S1 TEKNIK INFORMATIKA

Alokasi Waktu: 150 Menit — Software Utama: Logisim Evolution v3.8.0+

1. TUJUAN PRAKTIKUM

1. Mahasiswa mampu merangkai dan memverifikasi tabel kebenaran JK, D, dan T Flip-Flop pada Logisim Evolution. 2. Mahasiswa mampu merekam dan menganalisis diagram sinyal clock (*Edge-Triggering*) serta kondisi *Toggle*.

1. 2. LANGKAH PERCOBAAN LOGISIM

1. Buka Logisim Evolution, masuki library **Memory** → ambil komponen **D Flip-Flop** dan **JK Flip-Flop**. 2. Hubungkan pin **Clock** (*CLK*) ke komponen **Clock Generator** (pilih frekuensi 1 Hz pada menu **Simulate** → **Tick Frequency**). 3. Pasang sakelar input *D*, *J*, *K* serta sakelar **Asynchronous Reset** (*R*) dan **Set** (*S*). 4. Jalankan simulasi (**Ticks Enabled**), amati transisi luaran *Q* dan *Q* saat sinyal clock berubah dari 0 → 1 (Edge Positif). 5. Buka menu **Simulate** → **Logging**, tambahkan sinyal *CLK*, *D*, *Q* untuk mengeksplor grafik timing diagram.

3. TROUBLESHOOTING & PITFALLS

- **Clock Speed**: Jangan menyetel **Tick Frequency** terlalu tinggi (> 1 kHz) saat pengamatan visual agar tidak terjadi efek **aliasing**. - **Async Reset Active High**: Pastikan pin Reset bernilai 0 saat operasi normal agar Flip-Flop tidak terkunci pada state nol secara kontinu.

4. TUGAS RESMI

Lampirkan tangkap layar hasil verifikasi grafik pewaktuan timing diagram dari Logisim ke dalam laporan praktikum PDF!