

SISTEM DIGITAL (TIF-1106)

Pertemuan 16: Review Komprehensif Semester, Evaluasi Capstone CPU, & Panduan UAS

Tim Dosen Teknik Informatika — S1 Teknik Informatika

Capaian Akhir Pembelajaran Mata Kuliah (CPMK 1 – 4)

Peta Capaian Pembelajaran Lulusan (CPL)

Mahasiswa menguasai konsep teoretis perancangan logika digital dari gerbang dasar hingga arsitektur prosesor modern (RISC-V/HDL) dan terampil merancang sirkuit kombinasional & sekensial teruji (Logisim Evolution & Tinkercad).

Modul Paruh Pertama (Sebelum UTS)

- ▶ Sinyal Digital, Radiks, & 2's Complement
- ▶ Kode Digital (BCD, Gray, Paritas)
- ▶ Gerbang Logika & IC TTL 74xx
- ▶ Aljabar Boolean, SOP/POS, & K-Map

Modul Paruh Kedua (Sebelum UAS)

- ▶ Logika Sekensial (SR, JK, D, T Flip-Flop)
- ▶ Register Geser & Counter Modulo-N
- ▶ Perancangan FSM (Mealy & Moore)
- ▶ Memori Utama, CPU Datapath, & HDL

Tugas Membaca Referensi Persiapan UAS (*Final Exam Preparation*)

Tugas Review Mandiri Dari 3 Berkas PDF Referensi Utama

Mahasiswa dipersyaratkan meninjau ulang bab-bab kunci berikut dari repositori buku_referensi_pdf/:

- ▶ **[Ref 1] Kuphaldt (2024): *Lessons In Electric Circuits Vol. IV – Digital***
 - ▶ **Bab 10 – 13:** Sequential Circuits, Counters, Memory Devices, & Computer Elements.
- ▶ **[Ref 2] Coulston (2020): *Digital Design: A Datapath and Control***
 - ▶ **Bab 4 – 7:** Registers, Synchronous FSM Design, Memory Systems, & Datapath Architecture.
- ▶ **[Ref 3] Coulston Labs (2020): *Digital Design Laboratory Manual***
 - ▶ **Lab 7 – 11:** FSM Sequence Detectors, ALU Building, & FPGA Hardware Synthesis.

Evaluasi Capstone Project Datapath CPU 8-Bit (TIF-1106-TB)

Rubrik Penilaian Tugas Besar (Bobot 25%)

- ▶ **Fungsionalitas Sirkuit (40%):** Eksekusi instruksi ADD, SUB, AND, OR, XOR tanpa hazard.
- ▶ **Verifikasi Simulasi (20%):** Pewaktuan Clock Signal & Bebas Race Condition.
- ▶ **Kelengkapan Laporan (20%):** Diagram Vektor FSM & Tabel Kebenaran Control Unit.
- ▶ **Demonstrasi / Tanya Jawab (20%):** Penguasaan C4–C6 per anggota tim.

Komponen Inti Datapath Teruji

1. **8-Bit ALU Module:**
Adder/Subtractor +2's
Complement & Flag Zero/Overflow.
2. **Register File ($8 \times 8\text{-bit}$):** Dekoder Alamat Dual-Port Read/Write.
3. **Program Counter (PC):**
Up-Counter 8-bit dengan fitur Synchronous Load.
4. **FSM Control Unit:** Pembagi Siklus Fetch-Decode-Execute.

Kisi-Kisi & Panduan Pelaksanaan UAS (Minggu 16)

No	Topik Uji Utama (Bloom C1 – C6)	Bobot Nilai	Tingkat Kesukaran
1	Analisis Tabel Karakteristik & Excitation Table Flip-Flop (SR, JK, D, T)	20%	Sedang (C3/C4)
2	Perancangan Synchronous Counter Modulo-N dengan D/JK Flip-Flop	25%	Tinggi (C5/C6)
3	Sintesis FSM Model Mealy & Moore (Sequence Detector Bit Serial)	30%	Tinggi (C5/C6)
4	Arsitektur Memori Utama (Address Decoding) & Datapath Control Unit	25%	Sedang (C4/C5)

Ketentuan Umum Ujian

- ▶ **Format:** Ujian Tertulis Tutup Buku (*Closed Book*) durasi 120 Menit.
- ▶ **Perlengkapan:** Alat tulis dan kalkulator standar (Dilarang menggunakan HP/Smartwatch).

Selamat Berjuang Dalam Ujian Akhir Semester!

"Design is not just what it looks like and feels like. Design is how it works." — Steve Jobs

Kontak & Konsultasi Akademik

- ▶ **Tim Dosen Pengampu:** Dosen Mata Kuliah Sistem Digital (TIF-1106).
- ▶ **Ruang Dosen:** Gedung Perkuliahan Teknik Informatika — Fakultas Teknik.
- ▶ **Situs Pembelajaran:** Learning Management System (LMS) Kampus.