

SISTEM DIGITAL (TIF-1106)

Pertemuan 14: Pemodelan Hardware Berbasis Kode HDL (VHDL & Verilog di Logisim Evolution)

Capaian Pembelajaran Pertemuan 14 (Sub-CPMK 5)

Sub-CPMK 5

Mahasiswa memahami konsep pemodelan sirkuit berbasis teks menggunakan **Hardware Description Language (HDL)**, membandingkan sintaks **VHDL** dan **Verilog**, serta mensimulasikan entitas komponen logika pada Logisim Evolution.

1. Mengapa Perancangan Digital Beralih ke Kode HDL?

Skala kompleksitas sirkuit chip komputer modern (> 10 Miliar Transistor) membuat pembuatan schematic manual tidak lagi realistis.

Keunggulan Pemodelan HDL

1. ****Abstraksi Tingkat Tinggi****: Mendesain logika menggunakan ekspresi perilaku (*Behavioral*) mirip pemrograman software.
2. ****Portabilitas & Sintesis Otomatis****: Kode HDL dapat disintesis (*Logic Synthesis*) ke berbagai jenis chip FPGA (Xilinx, Altera/Intel) atau ASIC.
3. ****Simulasi & Testbench****: Verifikasi kebenaran logika dilakukan secara otomatis menggunakan skrip pengujian (*Testbench*).

2. Perbandingan Sintaks VHDL vs Verilog

Karakteristik	VHDL (VHSIC Hardware Description Lang)	Verilog HDL
Model Bahasa	Strongly typed (mirip Ada/Pascal)	C-like syntax (mirip bahasa C)
Blok Pembangun	Entity (Definisi I/O) & Architecture (Logika)	Module (I/O + Logika dalam satu blok)
Level Abstraksi	Structural, Dataflow, Behavioral	Behavioral ('always'), Dataflow ('assign')
Penggunaan Utama	Industri Kedirgantaraan, Pertahanan, Eropa	Industri Semiconductor IC/VLSI, USA

3. Contoh Kode: Full Adder 1-Bit dalam VHDL & Verilog

Contoh Kode VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity FullAdder is
  Port ( A, B, Cin : in STD_LOGIC;
        Sum, Cout : out STD_LOGIC );
end FullAdder;

architecture Behavioral of FullAdder is
begin
  Sum <= A xor B xor Cin;
  Cout <= (A and B) or (Cin and (A xor B));
end Behavioral;
```

Contoh Kode Verilog

```
module FullAdder (
  input wire A,
  input wire B,
  input wire Cin,
  output wire Sum,
  output wire Cout
);

  assign Sum = A ^ B ^ Cin;
  assign Cout = (A & B) | (Cin & (A ^ B));

endmodule
```

4. Integrasi Kode HDL pada Logisim Evolution

Logisim Evolution v3.8+ mendukung impor langsung komponen bertipe ****HDL Content**** (VHDL / Verilog).

Langkah Simulasi HDL di Logisim

1. Klik kanan pada project → pilih ****Add HDL Content...****
2. Masukkan kode VHDL / Verilog (Logisim akan memvalidasi sintaks melalui **compiler** internal).
3. Logisim akan secara otomatis membuat ****Simbol Blok Komponen Schematic**** yang dapat dihubungkan ke sakelar masukan dan LED luaran.

Rangkuman Pertemuan 14

- ▶ ****Hardware Description Language (HDL)**** adalah standar industri untuk merancang sirkuit digital berskala besar (VLSI / FPGA).
- ▶ ****VHDL**** mengedepankan ketepatan tipe data (**strongly-typed**), sedangkan ****Verilog**** mengedepankan kemudahan sintaks berbasis bahasa C.
- ▶ Logisim Evolution v3.8+ memungkinkan pengujian kode HDL secara interaktif melalui generator komponen skematik.