

SISTEM DIGITAL (TIF-1106)

Pertemuan 12: Arsitektur Memori Utama (RAM, ROM) &
Perangkat Logika Terprogram (PLA, PAL, CPLD, FPGA)

Capaian Pembelajaran Pertemuan 12 (Sub-CPMK 5)

Sub-CPMK 5

Mahasiswa mampu menghitung kapasitas dan mendekodifikasi alamat chip memori (SRAM/DRAM, ROM), membandingkan struktur internal matriks logika **PLA**, **PAL**, dan **ROM**, serta memahami hirarki **FPGA** modern.

1. Klasifikasi Memori Komputer (SRAM vs DRAM vs ROM)

Tipe Memori	Teknologi Sel Memori Internal	Karakteristik Kinerja
SRAM	6 Transistor (Latch Bistabil) per bit	Kencang, *volatile*, tanpa *refresh*, mahal (Cache CPU)
DRAM	1 Transistor + 1 Kapasitor per bit	Padat tinggi, *volatile*, perlu *refresh* berulang (RAM Utama)
ROM / Flash	Floating Gate Transistor / Diode Array	*Non-volatile* (Menyimpan data BIOS / Firmware saat daya mati)

2. Dekodifikasi Alamat & Kapasitas Memori

Jika sebuah chip memori memiliki **k** jalur alamat ($A_0..A_{k-1}$) dan **n** jalur data ($D_0..D_{n-1}$):

$$\text{Jumlah Lokasi Memori} = 2^k, \quad \text{Kapasitas Total} = 2^k \times n \text{ bits}$$

Contoh Soal Pembahasan

Sebuah chip SRAM memiliki 16 jalur alamat ($A_{15}..A_0$) dan 8 jalur data ($D_7..D_0$):

$$\text{Jumlah Lokasi} = 2^{16} = 65,536 \text{ lokasi}$$

$$\text{Kapasitas} = 65,536 \text{ Bytes} = \mathbf{64 \text{ KB}}$$

3. Programmable Logic Devices (PLD: PLA vs PAL vs ROM)

PLD memungkinkan rekayasa logika kombinasional dengan memprogram koneksi matriks gerbang ****AND**** dan ****OR****.

Type PLD	Matriks Gerbang AND	Matriks Gerbang OR
ROM	Tetap (Fixed Decoder)	Terprogram (Programmable)
PLA	**Terprogram (Programmable)**	**Terprogram (Programmable)** (Fleksibel maksimum)
PAL	**Terprogram (Programmable)**	Tetap (Fixed) (Kecepatan tinggi)

4. Pengenalan FPGA (Field-Programmable Gate Array)

Elemen Utama Arsitektur FPGA

1. **Configurable Logic Blocks (CLB)**: Berisi **Look-Up Table** (LUT berbasis SRAM 4/6-input) dan Flip-Flop.
2. **Programmable Interconnect**: Jalur sakelar penghubung antar-CLB.
3. **I/O Blocks (IOB)**: Pin antarmuka periferil luar chip.

Rangkuman Pertemuan 12

- ▶ Hirarki memori menyeimbangkan kecepatan SRAM, kerapatan DRAM, dan ketahanan non-volatile Flash/ROM.
- ▶ Jalur alamat k menentukan jumlah lokasi memori sebesar 2^k .
- ▶ **PLA** memiliki matriks AND dan OR terprogram, **PAL** memiliki matriks OR tetap, sedangkan **FPGA** menggunakan *Look-Up Table* (LUT) berbasis SRAM.