

SISTEM DIGITAL (TIF-1106)

Pertemuan 11: Perancangan Finite State Machine (FSM Model Mealy & Moore), Reduksi Keadaan, & Sequence Detector

Capaian Pembelajaran Pertemuan 11 (Sub-CPMK 4)

Sub-CPMK 4

Mahasiswa mampu mendesain *Finite State Machine* (FSM) model Mealy dan Moore, menyusun *State Diagram* dan *State Table*, merekayasa reduksi state (*Implication Table*), serta merealisasikan sirkuit pengenalan urutan bit (*Sequence Detector*).

1. Konsep Utama Finite State Machine (FSM)

FSM adalah pemodelan matematika untuk kontroler logika sekensial yang memiliki **jumlah keadaan terbatas (*finite states*)**.

FSM Model Moore

- Sinyal luaran $Z(t)$ **hanya bergantung pada state saat ini** $Q(t)$. - Persamaan: $Z(t) = g(Q(t))$. - Luaran lebih stabil terhadap derau masukan.

FSM Model Mealy

- Sinyal luaran $Z(t)$ bergantung pada **state saat ini** $Q(t)$ **dan masukan langsung** $X(t)$. - Persamaan: $Z(t) = f(Q(t), X(t))$. - Biasanya membutuhkan jumlah state lebih sedikit dibanding Moore.

2. Langkah Sistematis Perancangan FSM

Prosedur Desain FSM (6 Langkah Utama)

1. ****Spesifikasi Masalah****: Tentukan jumlah input, output, dan kriteria deteksi.
2. ****State Diagram****: Gambarkan lingkaran state dan panah transisi dengan label X/Z .
3. ****State Table****: Petakan diagram transisi menjadi tabel keadaan.
4. ****State Reduction****: Hilangkan state redundan menggunakan *Implication Table*.
5. ****State Assignment****: Kodekan setiap state menjadi kombinasi biner (misal: $S_0 = 00, S_1 = 01, S_2 = 10$).
6. ****Derivasi Sirkuit****: Turunkan K-Map masukan Flip-Flop dan keluaran Z .

3. Studi Kasus: Sequence Detector Pola Serial '101' (Mealy)

Rancanglah FSM Mealy untuk mendeteksi pola bit '101' dari masukan serial X (dengan pencakupan tumpang-tindih / *overlapping*).

State	Arti Kondisi / Riwayat Bit	Transisi Selanjutnya
S_0	Reset / Belum ada bit cocok	Jika $X = 1 \rightarrow S_1$, jika $X = 0 \rightarrow S_0$
S_1	Terdeteksi bit pertama "1"	Jika $X = 0 \rightarrow S_2$, jika $X = 1 \rightarrow S_1$
S_2	Terdeteksi urutan "10"	Jika $X = 1 \rightarrow S_1$ ($Z = 1$), jika $X = 0 \rightarrow S_0$ ($Z = 0$)

4. Derivasi Persamaan Logika (State Assignment D_1, D_0 & Z)

Misalkan kode state: $S_0 = 00$, $S_1 = 01$, $S_2 = 10$.

Persamaan Ter-simplikasi

$$D_0 = X \cdot \overline{Q_1}$$

$$D_1 = \overline{X} \cdot Q_0$$

$$Z = X \cdot Q_1 \cdot \overline{Q_0} \quad (\text{Sinyal aktif saat } X = 1 \text{ pada State } S_2)$$

Rangkuman Pertemuan 11

- ▶ FSM memodelkan logika pengontrol kompleks melalui transisi state berarah.
- ▶ Model **Mealy** bereaksi lebih cepat satu siklus dibanding **Moore**, namun keluaran Mealy terpengaruh *glitch* pada sinyal masukan X .
- ▶ **State Reduction** meminimalkan biaya komponen hardware dengan menghapus state ekuivalen.