

SISTEM DIGITAL (TIF-1106)

Pertemuan 10: Register Geser (SISO, SIPO, PISO, PI-PO) & Pencacah Biner (Ripple vs Synchronous Counter)

Capaian Pembelajaran Pertemuan 10 (Sub-CPMK 4)

Sub-CPMK 4

Mahasiswa mampu merancang Register Geser (*Shift Register*) 4-bit, menganalisis perbedaan arsitektur *Ripple Counter* dan *Synchronous Counter*, serta mengamankan perancangan *Modulo-N Counter* dari efek *propagation delay*.

1. Klasifikasi Register Geser (Shift Register)

Register geser tersusun atas kaskade D Flip-Flop yang mentransfer bit data setiap detak clock.

Tipe Mode	Nama Arsitektur	Aplikasi Utama pada Hardware
SISO	Serial-In Serial-Out	Saluran penunda data (*Delay Line*) & Serial Communication Buffer
SIPO	Serial-In Parallel-Out	Konverter Serial to Parallel (e.g. IC 74HC595 Driver LED 7-Segment)
PISO	Parallel-In Serial-Out	Konverter Parallel to Serial (Bus Data ke Transmitter UART/SPI)
PIPO	Parallel-In Parallel-Out	Register Data CPU (Accumulator, Register R0–R15)

2. Asynchronous / Ripple Counter (Pencacah Riak)

Karakteristik Ripple Counter

- Sinyal Clock ****hanya dihubungkan ke Flip-Flop pertama**** (FF_0).
- Luaran Q dari Flip-Flop sebelumnya digunakan sebagai sinyal Clock untuk Flip-Flop berikutnya.

Keunggulan

- Rangkaian sangat sederhana.
- Membutuhkan sedikit gerbang tambahan.

Kelemahan Kritis

- ****Propagation Delay Terakumulasi****:
 $t_{delay_total} = N \times t_{pd_FF}$.
- Rentan terhadap ***glitch*** pada frekuensi clock tinggi (> 50 MHz).

3. Synchronous Counter (Pencacah Sinkron)

Keunggulan Utama Synchronous Counter

Sinyal Clock dihubungkan **secara paralel langsung ke SELURUH Flip-Flop**, sehingga seluruh bit berpindah keadaan secara simultan tanpa *accumulation delay*.

Persamaan Masukan D Flip-Flop (Up-Counter 3-Bit)

$$D_0 = \overline{Q_0}$$

$$D_1 = Q_1 \oplus Q_0$$

$$D_2 = Q_2 \oplus (Q_1 \cdot Q_0)$$

4. Perancangan Modulo-N Counter (K-Map Method)

Contoh: Modulo-6 Up-Counter ($0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 0$)

State 6 (110_2) dan State 7 (111_2) dianggap sebagai kondisi ****Don't Care (X)****.

$Q_2 Q_1 Q_0$	$Q_2(t+1)Q_1(t+1)Q_0(t+1)$	D_2	D_1	D_0
000	001	0	0	1
001	010	0	1	0
010	011	0	1	1
011	100	1	0	0
100	101	1	0	1
105(101)	000	0	0	0

Rangkuman Pertemuan 10

- ▶ Register Geser mengonversi mode komunikasi antara serial (SISO/SIPO/PISO) dan paralel (PIPO).
- ▶ Ripple Counter sederhana namun dibatasi oleh *propagation delay* berantai.
- ▶ ****Synchronous Counter**** diwajibkan untuk sirkuit frekuensi tinggi karena sinyal clock masuk secara serentak ke seluruh Flip-Flop.