

utfcode
utf8.sty 3.10 UTF-8 input encoding 13.06.2000
scanner for code UTF-8 installed.

RENCANA PEMBELAJARAN SEMESTER (RPS)

MATA KULIAH: SISTEM DIGITAL (TIF-1106)

PROGRAM STUDI S1 TEKNIK INFORMATIKA — FAKULTAS TEKNIK

Standard Outcome-Based Education (OBE) — 3 SKS Teori & Perancangan Simulasi

1. IDENTITAS MATA KULIAH

Nama Mata Kuliah	: Sistem Digital	Bobot SKS	: 3 SKS (3-0) Teori + Tugas Besar
Kode Mata Kuliah	: TIF-1106	Semester	: I (Satu) / II (Dua)
Rumpun Mata Kuliah	: Sistem Komputer & Arsitektur	Sifat MK	: Wajib Program Studi
Prasyarat	: Tidak Ada	Tools Simulasi	: Logisim Evolution, Tinkercad Circuits
Dosen Pengampu	: Tim Dosen Sistem Komputer	Tahun Akademik	: 2026/2027

2. DESKRIPSI MATA KULIAH

Mata kuliah **Sistem Digital (TIF-1106)** memberikan pemahaman fundamental dan praktikal mengenai prinsip kerja perangkat keras komputer dasar. Mahasiswa dipersiapkan untuk menguasai representasi data digital, aljabar logika, teknik penyederhanaan rangkaian, perancangan rangkaian logika kombinasional (Adder, Mux, Decoder), perancangan rangkaian logika sekensial (Flip-Flop, Register, Counter), pengenalan *Finite State Machine* (FSM: Mealy & Moore), hingga fondasi arsitektur memori (RAM/ROM) dan logika terprogram (PLD/FPGA). Perkuliahan dilengkapi dengan **Tugas Besar Perancangan & Simulasi** menggunakan **Logisim Evolution** dan **Tinkercad Circuits** untuk memperkuat pemahaman aplikatif dalam membangun modul rangkaian digital terintegrasi.

3. CAPAIAN PEMBELAJARAN LULUSAN (CPL) & CAPAIAN PEMBELAJARAN MK (CPMK)

Capaian Pembelajaran Lulusan (CPL) yang Dibebankan pada MK:

CPL-1 (Sikap): Menunjukkan sikap bertanggung jawab atas pekerjaan di bidang keahliannya secara mandiri dan beretika. **CPL-2 (Pengetahuan):** Menguasai konsep teoritis aljabar Boolean, aljabar biner, dan prinsip sains-teknik komputer yang melandasi perancangan sistem digital modern. **CPL-3 (Keterampilan Khusus):** Mampu merancang, mensintesis, menganalisis, dan mensimulasikan rangkaian logika kombinasional dan sekensial menggunakan perangkat lunak simulasi (Logisim Evolution & Tinkercad Circuits). **CPL-4 (Keterampilan Umum):** Mampu mengkaji implikasi pengembangan atau implementasi ilmu pengetahuan dan teknologi dalam menyelesaikan masalah perancangan hardware dasar secara sistematis.

Capaian Pembelajaran Mata Kuliah (CPMK):

- CPMK-1:** Menguasai sistem bilangan (Biner, Oktal, Heksadesimal), kode digital (BCD, Gray, ASCII), aljabar Boolean, serta metode penyederhanaan fungsi logika dengan Peta Karnaugh (K-Map). (*Bloom: C1-C3*)
- CPMK-2:** Mampu menganalisis dan merancang Rangkaian Logika Kombinasional dasar hingga kompleks (Adder, Subtractor, Decoder, Encoder, Multiplexer, Demultiplexer, Comparator). (*Bloom: C3-C4*)
- CPMK-3:** Mampu menganalisis dan merancang Rangkaian Logika Sekensial (Latch, Flip-Flop, Registers, Register Geser, Counters/Pencacah Synchronous & Asynchronous). (*Bloom: C3-C5*)
- CPMK-4:** Mampu merancang Mesin Keadaan Terbatas (*Finite State Machine* — FSM Model Mealy & Moore) serta memahami fondasi organisasi memori (RAM/ROM) dan perangkat logika terprogram. (*Bloom: C4-C6*)
- CPMK-5:** Mampu merancang dan mensimulasikan sistem digital terintegrasi secara mandiri maupun berkelompok menggunakan **Logisim Evolution** & **Tinkercad Circuits** dengan kaidah teknik yang benar. (*Bloom: C5-C6*)

4. SKEMA EVALUASI & BOBOT PENILAIAN

headerbg No	Komponen Evaluasi	Bobot (%)	Pemenuhan CPMK	Bentuk Evaluasi
1	Partisipasi & Keaktifan Kelas	10%	CPMK-1 s.d. 5	Kehadiran, Tanya-Jawab, Diskusi Kelas
2	Kuis & Tugas Terstruktur (K-Map & Latihan)	20%	CPMK-1, CPMK-2, CPMK-3	Problem Set Mandiri & Ujian Kecil
3	Tugas Besar Perancangan & Simulasi	25%	CPMK-2, CPMK-3, CPMK-5	Proyek Logisim/Tinkercad & Laporan/Demo
4	Ujian Tengah Semester (UTS)	20%	CPMK-1, CPMK-2	Ujian Tertulis & Analytical Problem Solving
5	Ujian Akhir Semester (UAS)	25%	CPMK-3, CPMK-4	Ujian Komprehensif Perancangan Rangkaian

1. 5. RENCANA PEMBELAJARAN MINGGUAN (16 PERTEMUAN)

Tabel 1: Matriks Rencana Pembelajaran Semester 16 Minggu (OBE Framework)

header	Sg-CPMK (Kemampuan Akhir Taraf Kinerja)	Bahan Kajian (Materi Pembelajaran)	Bentuk & Metode Pembelajaran [Estimasi Waktu]	Pengalaman Belajar & Tools Simulasi	Bobot
1	Mampu menjelaskan perbedaan sinyal analog vs digital, sistem bilangan (biner, oktal, heksadesimal), serta mengonversi antar-sistem bilangan.	Pengantar Sistem Digital, Representasi Sinyal Analog vs Digital, System Bilangan (Biner, Oktal, Heksadesimal), Konversi Bilangan & Komplemen (1's & 2's Complement).	Kuliah Interaktif, Diskusi, Latihan Soal. [3 × 50 menit]	Menghitung konversi bilangan biner-heksadesimal & komplemen 2's secara manual dan verifikasi komputasi.	3%
2	Mampu menganalisis kode-kode digital (BCD, Gray, ASCII) dan melakukan operasi aritmatika biner bertanda.	Kode Digital (BCD 8421, Excess-3, Gray Code, ASCII, Parity Bit), Aritmatika Biner (Penjumlahan & Pengurangan Komplemen 2), Deteksi Overflow.	Lecturing, Problem-Based Learning (PBL). [3 × 50 menit]	Menyelesaikan problem set operasi aritmatika biner bertanda dan konversi Gray Code.	4%
3	Mampu mengidentifikasi gerbang logika dasar/komposit, membaca tabel kebenaran, dan mensimulasikan gerbang pada Logisim.	Gerbang Logika Utama (AND, OR, NOT) & Komposit (NAND, NOR, XOR, XNOR), Karakteristik IC Digital (TTL 74xx & CMOS 40xx), Timing Diagram.	Kuliah Teori + Demo Simulasi. [3 × 50 menit]	Introduksi Logisim Evolution : Membangun tabel kebenaran & simulasi gerbang logika dasar 74xx.	5%
4	Mampu menerapkan aljabar Boolean, hukum De Morgan, dan mengubah fungsi logika ke dalam bentuk kanonis (SOP/POS).	Aljabar Boolean, Postulat & Teorema Boolean, Dualitas, Bentuk Kanonis & Standar: SOP (Sum of Products) & POS (Product of Sums), Minterm & Maxterm.	Kuliah Interaktif, Latihan Terbimbing. [3 × 50 menit]	Membuktikan teorema De Morgan menggunakan penyederhanaan aljabar dan verifikasi simulasi Logisim.	4%
5	Mampu menyederhanakan fungsi logika 2, 3, dan 4 variabel dengan Peta Karnaugh (K-Map) serta kondisi Don't Care.	Peta Karnaugh (K-Map 2, 3, 4 Variabel), Pengelompokan (Grouping), Prime Implicant, Kondisi Don't Care (X), Implementasi Universal (NAND/NOR Logic).	Collaborative Learning, Workshop K-Map. [3 × 50 menit]	Menyederhanakan persamaan logika rumit dengan K-Map dan merancang sirkuit NAND-only di Logisim.	6%
6	Mampu menganalisis K-Map 5 variabel dan memahami algoritma penyederhanaan analitis Quine-McCluskey.	K-Map 5 Variabel (Overlay Maps), Algoritma Tabulasi Quine-McCluskey (Determination of Prime Implicants & Essential Prime Implicant Chart).	Small Group Discussion, Lecturing. [3 × 50 menit]	Studi kasus penyederhanaan sistem logika 5 masukan dengan Quine-McCluskey untuk optimasi komputasi.	4%
7	Mampu merancang rangkaian kombinasional aritmatika (Half Adder, Full Adder, Adder-Subtractor, Carry Lookahead Adder).	Perancangan Kombinasional Aritmatika: Half Adder, Full Adder, Subtractor, Ripple Carry Adder 4-bit, Carry Lookahead Adder (CLA), BCD Adder.	Project-Based Learning (PjBL) Tahap I. [3 × 50 menit]	Simulasi perancangan Full Adder 4-bit dan BCD Adder pada Tinkercad Circuits (IC 7483 / Logisim).	6%
8	UJIAN TENGAH SEMESTER (UTS) — Evaluasi CPMK-1 & CPMK-2				20%

Tabel 1 Lanjutan: Matriks Rencana Pembelajaran Semester (OBE)

heades Mg	Sg-b-CPMK (Ke- mampuan Akhir Taraf Kinerja)	Bahan Kajian (Ma- teri Pembelajaran)	Bentuk & Metode Pembelajaran [Es- timasi Waktu]	Pengalaman Belajar & Tools Simulasi	Bobot
9	Mampu merancang komponen kombi- nasional penyandi dan penafsir sandi (Encoder, Priority Encoder, Decoder, Display 7-Segment).	Encoder, Priority En- coder (74148), Decoder (2-to-4, 3-to-8), Expan- sion Decoder, Decoder BCD to 7-Segment (7447/7448), Common Anode/Cathode.	Contextual Instru- ction, Demo Tinker- cad. [3 × 50 menit]	Simulasi perancangan penampil angka digital BCD to 7-Segment Dis- play pada Tinkercad Circuits .	5%
10	Mampu merancang dan mengimple- mentasikan fungsi logika menggu- nakan Multiplexer (MUX), Demultiple- xer (DEMUX), dan Comparator.	Multiplexer (2:1, 4:1, 8:1 MUX), Demultiple- xer (1:4, 1:8 DEMUX), Magnitude Comparator 4-bit (7485), Sintesis Logika dengan MUX & Decoder.	Lecturing & Live Si- mulation. [3 × 50 menit]	Mengimplementasikan fungsi aljabar Boolean kompleks tanpa ger- bang dasar melainkan menggunakan MUX 8:1 di Logisim.	5%
11	Mampu menganalisis elemen penyimpan logika sekensial (SR, D, JK, T Latch & Flip-Flop) dan analisis pewaktuan (Timing Diagram).	Logika Sekensial vs Kombinasiional, SR La- tch (NAND/NOR), D Latch, Edge-Triggered Flip-Flop (SR, D, JK, T), Master-Slave FF, Setup/Hold Time.	Lecturing, Problem Solving. [3 × 50 menit]	Mengamati perilaku pe- waktuan (clock trigger) & karakteristik Flip- Flop JK/D pada Logi- sim Evolution.	5%
12	Mampu merancang Register dan Re- gister Geser (Shift Register: SISO, SIPO, PISO, PIPO, Universal Shift Register).	Register 4-bit, Regis- ter Geser (Serial-In Serial-Out, Serial-In Parallel-Out, Parallel- In Serial-Out, Parallel- In Parallel-Out), Universal Shift Register (74194).	Cooperative Learning, Project Checkpoint 1. [3 × 50 menit]	Merancang dan men- simulasikan pemindah data serial-ke-paralel 4-bit menggunakan D Flip-Flop di Logisim.	5%
13	Mampu merancang Pencacah (Coun- ter) Asinkron dan Sinkron (Up/Down, Modulo-N, BCD Counter).	Asynchronous (Ripple) Counter, Synchronous Counter, State Tran- sition Diagrams untuk Counter, Up/Down Co- unter, Modulo-N Coun- ter (Mod-6, Mod-10).	PjBL Workshop, La- tihan Perancangan. [3 × 50 menit]	Perancangan Counter Modulo-6 (Jam Digital) menggunakan Flip-Flop JK dan gerbang reset di Logisim.	6%
14	Mampu merancang dan menyederhanak- an Mesin Keadaan Terbatas (Finite State Machine - FSM Model Mealy & Moore).	Finite State Machine (FSM), Model Mealy vs Moore, Diagram Keada- an (State Diagram), Ta- bel Transisi, State Re- duction & Assignment, Perancangan FSM Se- kensial.	Case Method, Project Checkpoint 2. [3 × 50 menit]	Perancangan FSM Pembuka Pintu Otoma- tis / Detektor Urutan Bit (Sequence Detector 1011) di Logisim.	7%
15	Mampu menguraikan arsitektur memori (RAM/ROM) serta menyintesis Tugas Besar Perancang- an Sistem Digital Terintegrasi.	Arsitektur Memori (RAM, SRAM, DRAM, ROM, EPROM, EEP- ROM), Pengenalan PLD (PLA, PAL, CPLD/FPGA ove- rview), Presentasi & Demonstrasi Tugas Besar.	Presentasi Proyek, Peer-Review. [3 × 50 menit]	Demonstrasi Proyek Tu- gas Besar Sistem Digi- tal (misal: Jam Digital Kompleks, Traffic Light Controller FSM).	10%
16	UJIAN AKHIR SEMESTER (UAS) — Evaluasi Komprehensif CPMK-3, CPMK-4, & CPMK-5				25%

6. PANDUAN TUGAS BESAR PERANCANGAN & SIMULASI (LOGISIM / TINKERCAD)

Ketentuan Tugas Besar Perancangan Sistem Digital:

1. **Sifat Tugas:** Kelompok (2–3 Mahasiswa per kelompok).
2. **Pilihan Topik Proyek:**
 - Topik A: *Digital Clock System with Alarm & Modulo-60 Counter* (Logisim Evolution).
 - Topik B: *Traffic Light Controller FSM Dual-Intersection* (Logisim / Tinkercad).
 - Topik C: *4-Bit Simple ALU (Arithmetic Logic Unit) with Operations: ADD, SUB, AND, OR, XOR* (Logisim Evolution).
 - Topik D: *Vending Machine State Machine (FSM Mealy/Moore Model)* (Logisim Evolution).
3. **Luaran Proyek:**
 - File Simulasi Rangkaian Digital (.circ untuk Logisim Evolution / Link Share Tinkercad Circuits).
 - Laporan Resmi Perancangan (Latar Belakang, Tabel Kebenaran/K-Map/State Diagram, Skematik, Hasil Simulasi, Analisis Timing).
 - Demonstrasi & Tanya Jawab Rangkaian pada Pertemuan Minggu ke-15.

7. PUSTAKA / REFERENSI UTAMA & PENDUKUNG

Utama:

1. Mano, M. M., & Ciletti, M. D. (2018). *Digital Design: With an Introduction to the Verilog HDL, VHDL, and SystemVerilog* (6th ed.). Pearson Education.
2. Tocci, R. J., Widmer, N. S., & Moss, G. L. (2017). *Digital Systems: Principles and Applications* (12th ed.). Pearson Education.

Pendukung:

1. Roth, C. H., & Kinney, L. L. (2014). *Fundamentals of Logic Design* (7th ed.). Cengage Learning.
2. Floyd, T. L. (2015). *Digital Fundamentals* (11th ed.). Pearson.
3. Documentations: *Logisim Evolution User Manual* (<https://github.com/logisim-evolution/logisim-evolution>) & *Tinkercad Circuits Reference*.

Kota, 11 Agustus 2026

Mengetahui,
Ketua Program Studi S1 Teknik Informatika

Pengembang RPS / Dosen Pengampu,
Koordinator Mata Kuliah

(Nama Ketua Program Studi, M.T.)
NIP. 19850101 201012 1 001

(Nama Dosen Pengampu, M.T.)
NIP. 19900202 201503 1 002