

BUKU MASTER PANDUAN PRAKTIKUM & LABORATORIUM VIRTUAL

MODUL 1 S.D. MODUL 15 (FULL SEMESTER)

SISTEM DIGITAL

KODE MATA KULIAH: TIF-1106 (3 SKS)

Simulasi Software: Logisim Evolution v3.8.0+ & Tinkercad Circuits

SPESIFIKASI DOKUMEN PRAKTIKUM

Mata Kuliah	: Praktikum Sistem Digital (TIF-1106)
Program Studi	: S1 Teknik Informatika — Fakultas Teknik
Software Utama	: Logisim Evolution v3.8+ & Tinkercad Circuits
Penyusun	: Tim Dosen Pengampu Sistem Komputer

DAFTAR MODUL PRAKTIKUM MINGGU 1 – 15

Modul	Judul Praktikum & Topik Bahasan	Software Utama	Alokasi Waktu
Modul 1	Pengenalan Logisim Evolution & Operasi Adder 8-Bit	Logisim Evolution	150 Menit
Modul 2	Generator Kode Gray & Parity Checker	Logisim Evolution	150 Menit
Modul 3	Pengujian Karakteristik IC TTL 74xx & Timing Diagram	Tinkercad / Logisim	150 Menit
Modul 4	Verifikasi Teorema De Morgan & Bentuk SOP	Logisim Evolution	150 Menit
Modul 5	Otomasi K-Map & Konversi Universal NAND-Only Logic	Logisim Evolution	150 Menit
Modul 6	Metode Overlay Maps 5-Variabel & Quine-McCluskey	Logisim Evolution	150 Menit
Modul 7	Simulasi IC 7483 4-Bit Binary Adder	Tinkercad Circuits	150 Menit
Modul 8	**Evaluasi Praktikum Tengah Semester (UTS Lab)**	Logisim / Tinkercad	150 Menit
Modul 9	Karakteristik & Analisis Pewaktuan Flip-Flop (SR, JK, D, T)	Logisim Evolution	150 Menit
Modul 10	Shift Register & Asynchronous/Synchronous Counter	Logisim / Tinkercad	150 Menit
Modul 11	Simulasi FSM Model Mealy & Moore (State Transition)	Logisim Evolution	150 Menit
Modul 12	Simulasi Komponen Memori RAM/ROM & Matriks PLA	Logisim Evolution	150 Menit
Modul 13	Simulasi Datapath & ALU 8-Bit CPU Sederhana	Logisim Evolution	150 Menit
Modul 14	Pemodelan Teks Kode VHDL & Verilog di Logisim	Logisim Evolution	150 Menit
Modul 15	**Pengujian & Validasi Proyek Tugas Besar (Tugas)**	Logisim / Tinkercad	150 Menit

1. MODUL 1 S.D. 7: PRAKTIKUM RANGKAIAN KOMBINASIONAL

RINGKASAN MODUL 1–7 (LOGISIM & TINKERCAD)

- Modul 1–7 membekali mahasiswa dengan keterampilan merangkai gerbang logika dasar, IC TTL 74xx pada breadboard virtual Tinkercad, optimasi K-Map 4/5 variabel, serta sirkuit adder IC 7483.

2. MODUL 9: PRAKTIKUM FLIP-FLOP & TIMING ANALYSIS

PETUNJUK MODUL 9

1. Buka Logisim Evolution, buat sirkuit pengujian D Flip-Flop dan JK Flip-Flop. 2. Pasang sinyal Clock 1 Hz dan amati sifat **Edge-Triggering** serta fungsi **Toggle**. 3. Ekspor kurva pewaktuan menggunakan menu ***Simulate*** → ***Logging***.

3. MODUL 11: PRAKTIKUM FINITE STATE MACHINE (FSM)

PETUNJUK MODUL 11

1. Susun FSM Mealy pemindai pola bit '101' (**Sequence Detector**). 2. Petakan State Diagram menjadi D Flip-Flop excitation logic di Logisim. 3. Verifikasi keluaran $Z = 1$ saat input serial dimasukkan secara berurutan.

4. MODUL 13: PRAKTIKUM DATAPATH & ALU 8-BIT CPU

PETUNJUK MODUL 13

1. Bangun modul ALU 8-bit yang mengeksekusi ADD, SUB, AND, OR, XOR. 2. Hubungkan ke Accumulator Register dan Register File R0–R3. 3. Jalankan instruksi **Fetch-Decode-Execute** sederhana.